

# 超級運動控制ASIC--EPCIO

\*EPCIO (Exquisite Positioning Control and Inputs/Outputs )

\*ASIC ( Application Specific Integrated Circuit ) 特定運用積體電路

## 一、簡介

大凡CNC工具機控制器或一般產業機械控制器裡的最核心技術概不脫離**運動控制及I/O控制**的範疇，傳統上都需好幾片PCB板來執行這些工作，為期降低成本、提高可靠性、將複雜的線路濃縮於一晶片裡，使PCB板減少乃是必然的趨勢。

本所由於長期專注於機械自動化控制領域，累積了相當寶貴的經驗，因此曾經成功地個別開發**運動控制專用IC及I/O控制專用IC**應用於第一代控制器，累積推廣總數約兩萬顆。

這一顆新開發成功的EPCIO之特點就是它更進一步地將運動控制(或稱位置控制)及I/O控制整合於一個晶片內，其中I/O部分除了原有**數位式I/O**，同時增加**類比式I/O**功能。不僅如此，其各項功能及彈性度皆比起第一代IC超越甚多，可謂是跳躍式的進步。舉最簡單的兩個例子：第一、其硬體閉迴路控制軸數從**一軸變成六軸**。從目前全球運動控制專用IC來比較，遙居領導地位(況且如搭配軟體，EPCIO最多甚至可達十四軸)。第二、其I/O控制能力從**80點變成800點**。單機控制綽綽有餘，其他優點不勝枚舉...從我們蒐集到的資料來看，EPCIO是全球第一顆同時具備多軸運動控制及強大I/O控制功能的ASIC，我們估計百分之九十五以上的單機控制只要一顆EPCIO就可滿足，如此一來控制器之硬體大幅減肥，成本降低及可靠性提升乃是必然之結果。以三軸車銑床控制器為例，成本比第一代約降三分之一，而六軸WIRE-CUT控制器成本降幅幾近二分之一。因此我們敢大膽預期EPCIO將使我們的第二代控制器具備更強大的競爭力。

專利方面，我們分別在位置控制技術及I/O控制技術各有一專利申請中，其中後者更是萃取了很多設計人員的巧思制定本所獨創的**串列式I/O傳輸協定**，使複雜的現場配線得以大幅簡化，簡單地說.800點I/O並不需要將800條線拉進控制器而只要六條cable連接就能實現800個輸出入裝置在25公尺內的遙控功能，對配線及維修人員是一大福音。

我們深信 EPCIO 已為我們的第二代控制器展開漂亮的起跑，未來一系列 **EPCIO應用板**和**EPCIO應用發展系統**將陸續開發，提供**運動控制及I/O控制**的完整方案。

## 二、EPCIO ASIC 規格

### 1. 工作基頻(System Clock)

8MHz~40MHz

### 2. Bus介面

2.1 格式：16-bit ISA

2.2 佔用ISA I/O port：20h (連續32個port)

2.3 IO Wait state：可設定為1~8 wait state (default：8 wait state)

### 3. 中斷(Interruption)

3.1 中斷信號源(Interrupt source)：共83個

3.2 可選擇的ISA Bus中斷通道數：7

3.3 各中斷信號源可個別設定為enable或disable (default：all disable)

3.4 中斷發生後，該中斷狀態將被latch為1，直至讀取該中斷狀態後才會清除為0

3.5 可設定中斷信號Low Active時間

### 4. 開迴路伺服馬達或步進馬達控制(Pulse Output)

4.1 可同時控制軸數：6軸

4.2 各軸可個別設定為enable或disable

4.3 Pulse輸出機制：DDA(Digital Differential Analyzer)

4.4 DDA cycle time：可設定為25us~3350ms (for System Clock = 40MHz)

4.5 每個DDA cycle time最大輸出Pulse數可規劃為： $2^{10}, 2^{11}, 2^{12}, 2^{13}, 2^{14}$  or  $2^{15}$

4.6 Pulse輸出寬度：System Clock Period  $\times$  n, where n = 0 ~ 4095 (default：n = 0)

4.7 6組運動命令暫存器(Command Buffer)

4.7.1 結構：每組64筆(64 Words FIFO)

4.7.2 具Full flag及Empty flag

4.7.3 可讀回運動命令暫存器尚未執行之命令筆數

4.7.4 可讀回運動命令暫存器目前正在執行之命令

4.7.5 可設定最小剩餘命令筆數

4.8 中斷信號源：7個

4.8.1 可設定每DDA cycle發出中斷。(1個)

4.8.2 可設定各組FIFO之剩餘命令筆數小於最小剩餘命令筆數時發出中斷。(6個)

#### 4.9 Pulse輸出格式：

##### 4.9.1 Pulse/Direction (default)

##### 4.9.2 CW/CCW

##### 4.9.3 A/B Phase

##### 4.9.4 禁止Pulse輸出

#### 4.10 Pulse輸出控制

4.10.1 Inverse：各組Pulse輸出信號可做準位反相(Inverse)設定。(default : not Inverse)

4.10.2 Swap：各組Pulse輸出信號可做信號交換(Swap)設定。(default : not Swap)

### 5. 編碼器計數器(Encoder Counter)

#### 5.1 組數：9組

#### 5.2 Encoder信號輸入格式：

5.2.1 A/B phase [倍率可設定為×0, ×1, ×2, ×4 (default : ×0)]

5.2.2 CW/CCW

5.2.3 Pulse/Direction

5.2.4 禁止輸入

#### 5.3 InA/InB/InZ phase輸入控制：

5.3.1 Inverse：InA/InB/InZ phase輸入信號可做信號準位反相(Inverse)設定。  
(default : not Inverse)

5.3.2 Swap：InA/InB phase輸入信號可做信號交換(Swap)設定。  
(default : not Swap)

5.3.3 可讀取目前各組Index(InZ)狀態

#### 5.4 Encoder輸入信號取樣及濾波

5.4.1 數位濾波取樣頻率= System Clock ÷(n+1), n=0~255 (default : n=0)

#### 5.5 計數器(Counter)

5.5.1 32位元

5.5.2 可個別設定各組計數器為enable或disable

5.5.3 計數器值可清除為0 (default : 未清除)

5.5.4 Power ON時，計數器值為亂數

#### 5.6 Counter Latch

5.6.1 32位元

5.6.2 可設定Index(InZ)或其他信號為觸發信號源

5.6.3 各組latch功能可各自設定為enable或disable

#### 5.7 計數器比較器(Encoder Comparator)：各組皆有一個32位元計數器值比較器

#### 5.8 中斷信號源：18個

5.8.1 可設定當各組Index發生時發出中斷(▼\*)。(9個)

5.8.2 可設定當計數器值與比較器設定值相等時發出中斷。(9個)

(\*註：▼表rising edge interrupt；▲表falling edge interrupt)

## 6. ADC介面

- 6.1 組數：8組
- 6.2 解析度：12位元
- 6.3 傳輸介面：
  - 6.3.1 規格：Serial interface (Max186 compatible)
  - 6.3.2 Serial Clock Rate：System Clock $\div$  4(n+1), n=0~255 (default : n=0)
- 6.4 ADC初始值：Power ON或Reset時清除為0
- 6.5 操作模式：
  - 6.5.1 Auto Mode：各組ADC可各自設定為enable或disable，並且連續循環做ADC轉換
  - 6.5.2 Single Mode：指定一組ADC做一次ADC轉換
- 6.6 電壓轉換模式：
  - 6.6.1 Bipolar Mode：-10volt ~ +10volt
  - 6.6.2 Unipolar Mode：0volt ~ +20volt
- 6.7 ADC比較器：各組皆有一個ADC比較器(for Bipolar Mode only)
- 6.8 中斷信號源：10個
  - 6.8.1 Tag Channel：可設定當指定之ADC channel完成轉換時發出中斷。(1個)
  - 6.8.2 Finished one conversion：可設定任一ADC channel完成轉換時發出中斷。(1個)
  - 6.8.3 Compare：可設定以下其中一條件成立時發出中斷。(8個)
    - 當ADC轉換值由大於(或等於)變成小於ADC比較器設定值時；
    - 當ADC轉換值由小於變成大於(或等於)ADC比較器設定值時；
    - 以上兩者任一發生時。

## 7. DAC介面

- 7.1 組數：8組
- 7.2 解析度：16位元
- 7.3 傳輸介面：
  - 7.3.1 規格：Serial interface (PCM56 or AD1866 compatible)
  - 7.3.2 Serial Clock Rate：System Clock $\div$  4(n+1), n=0~255 (default : n=0)
  - 7.3.3 Transmission Start：after enable
- 7.4 DAC初始值：Power ON或Reset時清除為0
- 7.5 DAC Auto Load：將預設值事先存放於Preload Buffer，當觸發信號發生時\*，自動將預設值載入DAC，轉換成類比電壓輸出。  
(\*註：有32個觸發信號源可選擇)
- 7.6 DAC數位資料輸入源(可程式規劃)：
  - 7.6.1 Direct Write Buffer(default)：直接將CPU寫入的數位資料做DAC轉換。
  - 7.6.2 Preload Buffer：當觸發信號發生時，自動將預設值載入DAC，轉換成類比電壓輸出。

7.6.3 Position Loop Output：當使用閉迴路伺服馬達控制功能時(Position Loop)，將 Error Counter內之數值轉換成類比電壓輸出，作為伺服驅動器的速度命令。

## 8. 閉迴路伺服馬達控制(Position Loop Control)

8.1 可同時控制軸數：6軸

8.2 Error Counter length：16位元

8.3 補償器(Compensator)

8.3.1 形式：比例型(P Control)

8.3.2 Gain值(Kp1×Kp2)：

MGain Kp1(比例增益) = -128~127 (Kp1 is integer, default : 0)

SGain Kp2 (倍率增益) =  $2^y$ , y = -7~7 (y is integer, default : 0)

8.4 當Error Counter overflow時，Error Counter自動清除為0

8.5 各軸可個別設定為enable或disable

8.6 中斷信號源：6個

可設定當Error Counter Overflow時，該軸發出中斷信號。(6個)

## 9. 近端輸出入點(Local I/O)

9.1 Double function Input

9.1.1 點數：20點 (與其他功能並用)

9.1.2 第0~6點可設定為中斷信號源

9.2 Dedicate Input / Output

9.2.1 點數：28點 (分為7組，每組4點)

9.2.2 各組(4點)可各自規劃為Input或Output (default : all Inputs)

9.2.3 第0~7點可設定為中斷信號源

9.2.4 Power ON時，輸出狀態清除為0

9.3 中斷信號源：15個

9.3.1 Double function Input中斷(▼or▲or▼▲ Programmable)。(7個)

9.3.2 Dedicate Input / Output中斷(▼or▲or ▼▲ Programmable)。(8個)

## 10. 遠端輸出入點(Remote I/O)

10.1 型式：主(Master)從(Slave)型

10.2 組數：2組(Set)

(每個Set含1個Mater、3個Slave，每個Slave具64點Input及64點Output)

10.3 點數

10.3.1 Remote Input：384點 = 2 (Set) × 3 (Slave) × 64點

10.3.2 Remote Output：384點 = 2 (Set) × 3 (Slave) × 64點。[ default輸出值為Low(0) ]

- 10.4 串列傳輸介面規格：工研院機械所自訂
- 10.5 Transmission Clock Rate：System Clock  $\div 2(n+1)$ ,  $n=0\sim 255$  (default :  $n=0$ )
- 10.6 Data Error Check：CRC (Cyclic Redundant Check)
- 10.7 中斷信號源：26個
  - 10.7.1 每個Slave的前4點Remote Input具中斷功能(▼or▲ or ▼▲ Programmable)。  
[ 24個= 2 (Set)  $\times$ (4+4+4) ]
  - 10.7.2 各Set發生Transmission error時。(2個)

## 11. 計時器(Interval Timer)及看門狗計時器(Watch Dog Timer)

- 11.1 Interval Timer
  - 11.1.1 可設定為enable或disable
  - 11.1.2 計時單位：System Clock Period
  - 11.1.3 Length：24位元
  - 11.1.4 中斷信號源：1個  
可設定當計時到達Interval Timer設定值時發出中斷。(1個)
- 11.2 Watch Dog Timer
  - 11.2.1 可設定為enable或disable
  - 11.2.2 計時單位：Interval Timer設定值
  - 11.2.3 Length：16位元
  - 11.2.4 Output Reset Pulse width：可設定 (最大值： $2^{24}$  System Clock Period)